

Docket No.: MUH-12876

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: January 23, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/718,310
Applicant : Bernhard Kowalski, et al.
Filed : November 20, 2003

Docket No. : MUH-12876
Customer No.: 24131

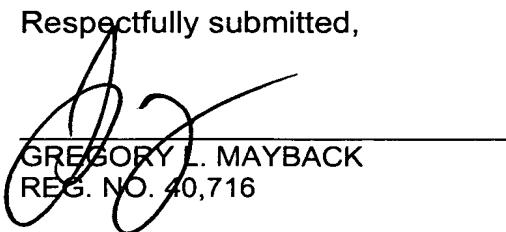
CLAIM FOR PRIORITY

Mail Stop: Missing Parts
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 54 160.4 filed November 20, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,


GREGORY L. MAYBACK
REG. NO. 40,716

Date: January 23, 2004

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

GLM/av

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 54 160.4

Anmeldetag: 20. November 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Transistorarray und damit hergestellte
Halbleiterspeicheranordnung

IPC: H 01 L 27/108

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 14. November 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Wehner

MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte:	12223	Ko/Ant/mk
Anmelderzeichen:	2002P08678 (2002 E 08676 DE)	20.11.2002

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

**Transistorarray und damit hergestellte
Halbleiterspeicheranordnung**

Beschreibung

Transistorarray und damit hergestellte Halbleiterspeicheranordnung

5

Die Erfinung betrifft ein Transistorarray aus vertikalen FET-Transistoren, die jeweils in Form vertikaler und in Lateralrichtung parallel laufender Abschnitte von aktiven Stegen aus Halbleiterbereichen in die Tiefe eines Substrats ausgebildet sind und bei denen ein Kanalbereich von die Gateelektroden bildenden Gatestreifen umgeben ist, die entlang den aktiven Stegabschnitten laufen und gleichzeitig Wortleitungen für ein dem Transistorarray zugeordnetes Array aus Halbleiterspeicherzellen bilden, wobei Wortleitungskontakte, wenigstens einen Teil der Wortleitungen elektrisch mit Metallbahnen einer das Transistorarray überlagernden Metallebene verbunden. Die Erfinung betrifft auch eine damit hergestellte Halbleiterspeicheranordnung, insbesondere einen DRAM-Speicher.

20

Ein Transistorarray mit den oben genannten Merkmalen ist aus US 5 519 236 bekannt.

25

Die andauernde Tendenz, Halbleiterspeicheranordnungen, wie DRAMs immer weiter zu verkleinern, hat dazu geführt, dass man die Speicher kondensatoren der Speicherzellen und die zugehörigen Transistoren als vertikale Elemente in die Tiefe des Halbleitersubstrats hinein baut. Auf diese Weise tragen die vertikal ausgebildeten FET-Transistoren dazu bei, dass Halbleiterspeicheranordnungen mit einer Geometrie der Speicherzelle von $F = 70$ nm und kleiner realisiert werden und gleichzeitig die Leistungsfähigkeit der vertikalen FET-Transistoren beibehalten werden konnte.

30

35

Dazu wurden in einem entsprechenden Prozess mit Silizium ausgefüllte parallel laufende aktive Stege in einer Breite

von 0,5 - 1 F gebildet, in denen Bulk-, Source- und Drainelektroden der vertikalen FET-Transistoren liegen. Diese aktiven Stege werden stirnseitig jeweils durch tiefe Gräben (englisch: "deep trenches") begrenzt. An der Oberseite der tiefen 5 Gräben befindet sich von Isoliermaterial gekapseltes Polysilizium oder nur Isolationsmaterial. An den beiden Seiten jedes aktiven Stegs befinden sich eine Gateelektrode jedes Transistors bildende Gatestreifen, gebildet durch einen vertikal geätzten Spacer, die ihrerseits als Wortleitung für die zugehörigen Halbleiterspeicherzellen dienen. Dabei beträgt 10 die Dicke der Wortleitung annähernd 0,2 F und ihre vertikale Abmessung annähernd 5 F. Das obere Ende der Wortleitungsspacer liegt einige 10 nm unterhalb der Oberseite des aktiven Stegs. Gatekontakte, so genannte CS-Kontakte stellen den 15 Kontakt zur Wortleitung her. Zur Herstellung der CS-Kontakte wird der aktive Steg mit einem sehr kleinen Ausschnitt quer zur Laufrichtung des aktiven Stegs versehen. Durch diesen Ausschnitt wird die vertikale Höhe des aktiven Stegs verringert und an dieser Stelle der Kontakt zur Wortleitung hergestellt. 20

Das Problem dabei ist, dass die Wortleitungskontakte und die Wortleitungen elektrisch von dem aktiven Steg und von anderen Bereichen oder Elementen des Transistorarrays bzw. den Halbleiterspeicherzellen isoliert sein müssen, damit z.B. auch 25 negative Spannungen an die Wortleitung angelegt werden können. Es ist dabei nicht möglich, die Wortleitung von den aktiven Stegen räumlich zu separieren, um etwa einen Kontakt herzustellen. Der Grund liegt darin, dass die Wortleitungen 30 ohne eigene Maskenebene hergestellt werden und an die aktiven Stege gekoppelt sind.

Die vorliegende Erfindung zielt auf die Lösung des obigen 35 Problems und schlägt eine Struktur zur Isolation der Wortleitungskontakte bzw. CS-Kontakte sowie der Wortleitungen von

den übrigen Bereichen des Transistorarrays bzw. des zugeordneten Halbleiterspeicherzellenarrays vor.

Gemäß einem ersten Aspekt dieser Erfindung sind die Wortleitungskontakte jeweils durch eine in einem in die Tiefe des aktiven Stegs gehenden tiefen Graben vorgesehene Isolation gegenüber den anderen Elementen isoliert, wobei die tiefen Gräben mit derselben Struktur gebildet sind, wie die tiefen Gräben, die sonst Speicherkondensatoren im Array der Halbleiterspeicherzellen bilden mit Ausnahme eines vergrabenen Anschlusses, der den aktiven Steg im Speicherzellenarray mit in der Tiefe des Substrats liegendem Polysilizium verbindet und der in den tiefen Gräben der Wortleitungskontakte weggelassen ist. An diesem den Wortleitungskontakt aufweisenden tiefen Graben wird demnach der im Speicherzellenfeld als Drainkontakt fungierende vergrabene Anschluss ("burried strap") zwischen dem tief liegenden Polysilizium und dem aktiven Steg weggelassen, so dass der tiefere Bereich des tiefen Grabens am Wortleitungskontakt nicht, wie sonst im Speicherzellenfeld, als Kondensator fungiert. Auf diese Weise werden im Prozess zur Herstellung der Wortleitungskontakte keine neuen Masken oder Strukturen benötigt.

25 Bevorzugt ist der tiefe Graben unterhalb des Wortleitungskontaktes mit Isoliermaterial gefüllt.

Gemäß einem zweiten Aspekt der Erfindung, bei dem das Transistorarray mit dem Array der Halbleiterspeicherzellen in einer gemeinsamen ersten Halbleiterwanne in dem Substrat angeordnet ist, werden alle Wortleitungen mit den Wortleitungs- bzw. CS-Kontakten zur Metallebene in eine von der ersten Halbleiterwanne isolierte separate zweite Halbleiterwanne desselben Leitungstyps geführt und stehen dort durch die Wortleitungskontakte mit den Metallbahnen der Metallebene in Kontakt.

Gemäß einem bevorzugten Ausführungsbeispiel dieses Transistorarrays sind die die Wortleitungen zu beiden Seiten tragen-
den aktiven Stege innerhalb der zweiten Halbleiterwanne von
den entsprechenden Stegabschnitten außerhalb der zweiten

5 Halbleiterwanne durch oxidumhüllte Säulen innerhalb von durch
die Stege gehenden tiefen Gräben isoliert, die an der
Schnittstelle der zweiten Halbleiterwanne zu einem sie umge-
benden Halbleiterbereich entgegengesetzten Leitungstyps aus-
gebildet sind, wobei die tiefen Gräben mit derselben Struktur
10 gebildet sind, wie die tiefen Gräben, die sonst Speicherkon-
densatoren im Array der Halbleiterspeicherzellen bilden, mit
Ausnahme eines vergraben Anschlusses, der den aktiven Steg
im Speicherzellenarray mit in der Tiefe des Substrats liegen-
dem Polysilizium verbindet und der in den tiefen Gräben an
15 der Schnittstelle der zweiten Halbleiterwanne zu dem sie
umgebenden Halbleiterbereich entgegengesetzten Leitungstyps
weggelassen ist.

Bei diesem bevorzugten Ausführungsbeispiel können die FET-
20 Transistoren n-Kanal-Transistoren sein, wobei die erste und
die zweite Halbleiterwanne vom p-Typ sind. Die vorgeschlagene
Struktur des Transistorarrays kann so ausgeführt sein, dass
die Dicke der die Halbleiterbereiche bildenden aktiven Stege
0,5 - 1 F, die Länge jedes einen n-Kanal-Transistor bildenden
25 Abschnitts der aktiven Stege 2-3 F, die Dicke der Wortleitun-
gen zu beiden Seiten der Stege annähernd 0,2 F und ihre ver-
tikale Tiefe annähernd 5 F betragen, wobei hier z.B. F = 70
nm ist.

30 Eine bevorzugte Anwendung des erfindungsgemäßen Transistorar-
rays ist eine Halbleiterspeicheranordnung, bei der jeder
Speicherzelle des Speicherarrays ein derartiger vertikaler
FET-Transistor zugeordnet ist. Eine derartige Halbleiterspei-
cheranordnung ist insbesondere ein DRAM-Speicher.

Die obigen Merkmale und weitere Vorteile werden aus den beiliegenden Patentansprüchen und der nachfolgenden Beschreibung deutlich, die sich auf die beiliegende Zeichnung bezieht. Die Zeichnungsfiguren zeigen im einzelnen:

5

Fig. 1 schematisch und perspektivisch eine bekannte vertikale Transistorstruktur mit einer einen Kanalbereich in Form von Gatestreifen umgebenden Gateelektrode;

10

Fig. 2 einen Querschnitt durch einen Abschnitt der in Fig. 1 gezeigten Struktur in die Tiefe des Substrats hinein, um die Anordnung der jedem Transistor zugeordneten, in vertikal ausgebildeten tiefen Gräben, gebildeten Speicherkondensatoren zu veranschaulichen;

15

Fig. 3 eine schematische Layoutansicht der in Fig. 2 gezeigten Struktur;

20

Fig. 4A eine Layoutansicht eines ersten Ausführungsbeispiels einer erfindungsgemäß gestalteten Kontaktierung eines Wortleitungs- oder CS-Kontakts mit der Wortleitung und der darüber liegenden Metallebene, die die Isolation des Wortleitungskontakts durch einen tiefen Graben veranschaulicht;

25

Fig. 4B eine Querschnittsansicht, die die vertikale Struktur des in Fig. 4A gezeigten ersten Ausführungsbeispiels des Wortleitungs- bzw. CS-Kontakts veranschaulicht und

30

Fig. 5 eine Layoutansicht eines Transistor- und Speicherzellenarrays mit Wortleitungskontakten gemäß einem zweiten Ausführungsbeispiel der Erfindung.

35

Vor der nachstehenden Beschreibung bevorzugter Ausführungsbeispiele eines erfindungsgemäßen Transistorarrays bzw. einer dieses verwendenden Halbleiterspeicheranordnung werden nun anhand der Fig. 1 bis 3 ein bekanntes Konzept eines Transistorarrays mit vertikalen FET-Transistoren mit umlaufendem Gatestreifen und die dabei auftretenden Probleme beschrieben (vgl. US 5 519 236).

Die perspektivische Darstellung der Fig. 1 zeigt einen Abschnitt eines einen einzelnen Transistor T bildenden aktiven Stegs, der in vertikaler Richtung, d.h. in die Tiefe eines Halbleitersubstrats 10 (Fig. 2) hinein ausgebildet ist. Von oben nach unten weist der Steg einen n^+ -Sourcebereich 1, einen einen n-Kanal bildenden p-Bereich 2, einen unverarmten p-Bereich oder Bulkbereich 4 und einen n^+ -Drainelektrodenbereich 3 auf. Gateelektrodenstreifen 5 umgeben rings den den n-Kanal bildenden p-Bereich 2 unter Zwischenlage einer in Fig. 1 nicht gezeigten dünnen Isolierschicht, so dass die Gateelektrodenstreifen 5 den n^+ -Sourcebereich 1 und den n^+ -Drainbereich 3 isoliert etwas überlappen.

Der diesen vertikalen FET-Transistor bildende Abschnitt des Stegs hat eine Länge $L = 2-3 \mu m$ und eine Dicke d zwischen 0,5 und etwa 1 μm , wobei z.B. 70 nm oder kleiner sein kann. Isolierende Abschnitte 8 und 9 sind in Fig. 1 punktiert dargestellt. Fig. 1 zeigt auch einen Abschnitt eines tiefen Grabens (deep trench), in dem ein Speicherkondensator ausgebildet ist, der durch eine Kondensatorelektrode 6 und ein isolierendes Dielektrikum 9 veranschaulicht ist. Die Kondensatorelektrode 6 des Speicherkondensators, die zum Beispiel aus Polysilizium oder einem geeigneten Metall besteht, steht über einen leitenden Abschnitt 7 mit der n^+ -Drainelektrode 3 in Kontakt.

Fig. 2 zeigt einen Querschnitt der in Fig. 1 perspektivisch gezeigten FET-Transistorstruktur durch den die aktiven Halbleiterbereiche bildenden aktiven Steg, wobei zwei benachbarte vertikale FET-Transistoren ersichtlich sind. In Fig. 2 ist 5 deutlich zu erkennen, dass die durch die tiefen Gräben gebildeten Speicherkondensatoren bis tief in das Substrat 10 hineinreichen, um eine ausreichende Kapazität zu erzeugen. Fig. 10 2 zeigt ferner isolierende Oxidschichten 8, 8a, 8b jeweils zwischen stirnseitigen Abschnitten 5a der umlaufenden Gateelektrodenstreifen 5 und dem den n-Kanal bildenden p-Bereich 2 und der Drainelektrode 3 einerseits und zu dem leitenden Kondensatorelektrodenabschnitt 6 andererseits.

Fig. 3 schließlich zeigt schematisch eine Layoutansicht der 15 in Fig. 2 gezeigten Struktur, die die parallele Anordnung der aktiven Stege (von oben durch die n⁺-Sourceelektrodenbereiche 1 veranschaulicht) sowie die versetzte Anordnung der vertikalen FET-Transistoren in den aktiven Stegen einerseits und der 20 zwischen jedem Transistor ausgebildeten Speicherkondensatoren andererseits, veranschaulicht durch die tiefen Gräben 9 andeutende Ovale, zeigt.

Prinzipiell kann der die Wortleitung bildende Gateelektrodenstreifen 5 durch so genannte CS-Kontakte bzw. Wortleitungskontakte an jeder Stelle des Stegs kontaktiert werden. 25 Aus den Fig. 2 und 3 ersieht man jedoch deutlich, dass die Herstellung einer zufrieden stellenden und dauerhaften Isolation zwischen derartig platzierten Wortleitungs- bzw. CS-Kontakten und aktivem Steg nicht gelingt. Die Wortleitungen 30 und die Wortleitungskontakte müssen außer von dem aktiven Steg auch von eventuell ausgedehnten Bereichen der Speicherzellenanordnung isoliert sein. Weiterhin soll die Kapazität von der Wortleitung bzw. dem Wortleitungskontakt zum aktiven Steg und zu allem, was mit dem Steg verbunden ist, möglichst 35 klein gehalten werden. Es ist zu bemerken, dass prinzipiell

Drainelektrode 3 und Sourceelektrode 1 elektrisch austauschbar sind.

Ferner sollen an die Wortleitung Spannungen (z.B. negative
5 Spannungen) angelegt werden können, die sich von den sonstigen Spannungen an der Speicherzelle unterscheiden.

Nachstehend werden erfindungsgemäße Strukturen beschrieben, die die obigen Probleme lösen und die kapazitätsarme und
10 gegenüber den anderen Bereichen der Anordnung sicher elektrisch isolierte Wortleitungskontakte so schaffen, dass diese problemlos mit einer darüber liegenden Metallisierungsebene verbunden werden können. Erst mit dieser Isolierung können an die Wortleitungen negative Spannungen angelegt werden.

15 In den Fig. 4A und 4B ist jeweils in Form einer schematischen Layoutansicht und im Querschnitt ein Wortleitungskontakt 15 gemäß einem ersten Ausführungsbeispiel eines erfindungsgemäßen Transistorarrays dargestellt. Die Layoutansicht in Fig.
20 4A zeigt eine Metallebene 12 (M0), die gemäß Fig. 4B oberhalb der Ebene der Layoutansicht von Fig. 4A geschlossen und mit einem Wortleitungskontakt 15 verbunden ist und die oberste dargestellte Lage bildet, drei parallele aktive Stege (AT) 13, zu beiden Seiten der aktiven Stege 13 verlaufende, die Wortleitungen bildende Gatesstreifen 5 sowie als abwechselnd stark und schwach schräg schraffierte Flächen dargestellte tiefe Gräben 11, die so unter den Wortleitungskontakten 15 sitzen, dass sie einerseits die Kontaktierung der Wortleitungskontakte bzw. CS-Kontakte 15 mit den Wortleitungen 5 ermöglichen und andererseits die Wortleitungskontakte 15 von den übrigen Elementen isolieren.
25

30 Die Querschnittsdarstellung der Fig. 4B, die den Prozess wiedergibt und der Schnittlinie B-B in Fig. 4A entspricht, zeigt, dass der Wortleitungskontakt 15 seitlich und unten durch Oxid am oberen Ende des tiefen Grabens 11 vom Steg 13

isoliert ist. Statt Oxid kann alternativ auch komplett Polysilizium verwendet werden, wobei dann die Isolation durch Deckoxid hergestellt ist, das den tiefen Graben 6, 9 bedeckt.

5 Es muss hier in Bezug auf die obige Beschreibung der Fig. 4A und 4B bemerkt werden, dass in dem Abschnitt des aktiven Stegs 13, der durch den erfundungsgemäß gestalteten Wortleitungskontakt 15 mit der Metallebene 12 verbunden ist, der in den Fig. 1 und 2 gezeigte und in der oben erläuterten Weise 10 in dem tiefen Graben gebildete Speicherkondensator 6, 9 nicht als solcher fungiert, da hier der nur im Speicherzellenfeld vorhandene vergrabene Anschluss (3 in Fig. 2) des aktiven Stegs mit dem tief liegenden Polysilizium weggelassen ist. Fig. 4B deutet lediglich schematisch einen Abschnitt des hier 15 funktionslosen Speicherkondensators an, der durch die Polysiliziumsäule 6 und deren Isolation 9 angedeutet ist. D.h., dass die Prozessschritte zur Bildung des Drainkontaktes mittels des vergrabenen Anschlusses bei diesem beim Wortleitungskontakt nur für Isolationszwecke gebrauchten tiefen 20 Graben weggelassen werden, dass aber die sonstigen Prozessschritte dieselben sind, wie beim Aufbau des tiefen Grabens im Speicherzellenfeld.

25 Fig. 5 zeigt in Form einer Layoutansicht ein zweites Ausführungsbeispiel eines erfundungsgemäßen Transistorarrays in Verbindung mit einem Speicherzellenarray 30. Alle Wortleitungs- bzw. CS-Kontakte 15 liegen in einer separaten p-Wanne 22, die von der p-Wanne 20, in der das Speicherzellenarray 30 liegt, räumlich und elektrisch getrennt ist. Die beiden p- 30 Wannen 20 und 22 sind in einer vergrabenen n-Platte 21 eingebettet und untereinander durch einen n-leitenden Bereich getrennt. Oxidgekapselte oder alternativ oxidgefüllte Säulen in durch die Stege 13 gehenden tiefen Gräben 11 stellen an der Schnittstelle der n-Platte 21 zur p-Wanne 22 die Isolation 35 zwischen den Stegen 13 innerhalb der Wanne 22 und außer-

halb her. Mit diesen tiefen Gräben 11 sind keine vergrabenen Anschlüsse verbunden.

Zusammengefasst lässt sich mit den in den Fig. 4A und 4B 5 einerseits und in Fig. 5 andererseits dargestellten beiden Ausführungsbeispielen eines erfundungsgemäßen Transistorarrays eine gegenüber den anderen Elementen isolierte Kontaktierung der Wortleitungen mit einer darüber liegenden Metall- ebene M0 vorteilhaft so herstellen, dass

10

- 1) elektrischer Kontakt zwischen den Wortleitungen und den sie tragenden Stegen und allem, was mit den Stegen verbunden ist, vermieden wird;
- 15 2) die Kapazität zwischen den Wortleitungen und den sie tragenden Stegen und allem, was mit den Stegen verbunden ist, klein gehalten werden kann, und
- 20 3) an die Wortleitungen andere Spannungen (z.B. negative Spannungen) angelegt werden können, als an die sonstigen Elemente des Transistorarrays bzw. des diesem zugeordneten Speicherzellenarrays.

25

Patentansprüche

1. Transistorarray aus vertikalen FET-Transistoren (T), die jeweils in Form vertikaler und in Lateralrichtung parallel 5 laufender Abschnitte von aktiven Stegen (13) aus Halbleiterbereichen in die Tiefe eines Substrats ausgebildet sind und bei denen ein Kanalbereich (2) von einer Gateelektrode bildenden Gatestreifen (5) umgeben ist, die entlang den aktiven Stegabschnitten (13) laufen und gleichzeitig Wortleitungen 10 für ein dem Transistorarray zugeordnetes Array (30) aus Halbleiterspeicherzellen bilden, wobei Wortleitungskontakte (15), wenigstens einen Teil der Wortleitungen (5) elektrisch mit Metallbahnen einer das Transistorarray überlagernden Metall- 15 ebene (M0) verbinden,
dadurch gekennzeichnet,
dass die Wortleitungskontakte (15) jeweils durch eine in einem in die Tiefe des aktiven Stegs (13) gehenden tiefen Graben (11) vorgesehene Isolation gegenüber den anderen Elementen isoliert sind, wobei die tiefen Gräben (11) mit der 20 selben Struktur gebildet sind, wie die tiefen Gräben, die sonst Speicher kondensatoren im Array (30) der Halbleiterspeicherzellen bilden mit Ausnahme eines vergraben Anschlusses, der den aktiven Steg im Speicherzellenarray (30) mit in der 25 Tiefe des Substrats liegendem Polysilizium verbindet und der in den tiefen Gräben (11) der Wortleitungskontakte (15) weg- gelassen ist.
2. Transistorarray nach Anspruch 1,
dadurch gekennzeichnet,
dass der tiefe Graben (11) unter dem Wortleitungskontakt (15) 30 mit Isoliermaterial gefüllt ist.
3. Transistorarray aus vertikalen FET-Transistoren (T), die jeweils in Form vertikaler und in Lateralrichtung parallel 35 laufender Abschnitte von aktiven Stegen (13) aus Halbleiterbereichen in die Tiefe eines Substrats ausgebildet sind und

bei denen ein Kanalbereich (2) von einer Gateelektrode bildenden Gatestreifen (5) umgeben ist, die entlang den aktiven Stegabschnitten (13) laufen und gleichzeitig Wortleitungen für ein dem Transistorarray zugeordnetes Array (30) aus Halbleiterspeicherzellen bilden, wobei Wortleitungskontakte (15), wenigstens einen Teil der Wortleitungen (5) elektrisch mit Metallbahnen einer das Transistorarray überlagernden Metallebene (M0) verbinden, und wobei das Transistorarray mit dem Array (30) der Halbleiterspeicherzellen in einer gemeinsamen ersten Halbleiterwanne (20) eines ersten Leitungstyps (P) in dem Substrat angeordnet sind,

d a d u r c h g e k e n n z e i c h n e t ,
dass alle Wortleitungen (5) mit den Wortleitungskontakten (15) zur Metallebene (M0) in eine von der ersten Halbleiterwanne (20) isolierte separate zweite Halbleiterwanne (22) desselben Leitungstyps (P) führen, und dort durch die Wortleitungskontakte (5) mit den Metallbahnen der Metallebene (M0) in Kontakt stehen.

20 4. Transistorarray nach Anspruch 3,
d a d u r c h g e k e n n z e i c h n e t ,
dass die die Wortleitungen (5) zu beiden Seiten tragenden aktiven Stege (13) innerhalb der zweiten Halbleiterwanne (22) von den entsprechenden Stegabschnitten außerhalb dieser zweiten Halbleiterwanne (22) durch isolierende Säulen (23) innerhalb von durch die Stege (13) gehenden tiefen Gräben (11) an der Schnittstelle der zweiten Halbleiterwanne (22) zu einem sie umgebenden Halbleiterbereich (21) des zweiten Leitungstyps (N) isoliert sind, wobei die tiefen Gräben (11) mit derselben Struktur gebildet sind, wie die tiefen Gräben, die sonst Speicher kondensatoren im Array (30) der Halbleiterspeicherzellen bilden mit Ausnahme eines vergraben Anschlusses, der den aktiven Steg im Speicherzellenarray mit in der Tiefe des Substrats liegendem Polysilizium verbindet und der in den tiefen Gräben (11) an der Schnittstelle der zweiten Halblei-

terwanne (22) zu dem sie umgebenden Halbleiterbereich (21) weggelassen ist.

5. Transistorarray nach einem der vorangehenden Ansprüche,

5 durch gekennzeichnet, dass die FET-Transistoren (T) n-Kanal-Transistoren (1, 2, 3) sind, die Dicke (d) der die Halbleiterbereiche (1, 2, 3) bildenden Stege 0,5 - 1 F, die Länge (l) jedes einen FET-Transistor (T) bildenden Abschnitts der Stege 2-3 F, die Dicke der Wortleitungen (5) annähernd 0,2 F und ihre vertikale Tiefe annähernd 5 F betragen, wobei F annähernd gleich 70 nm ist.

6. Transistorarray nach Anspruch 5,

15 durch gekennzeichnet, dass die erste und zweite Halbleiterwanne (20, 22) vom P-Typ sind.

7. Halbleiterspeicheranordnung,

20 gekennzeichnet durch ein FET-Transistorarray nach einem der Ansprüche 1 bis 6, wobei jeder Speicherzelle des Speicherarrays je ein vertikaler FET-Transistor zugeordnet ist.

25 8. Halbleiterspeicheranordnung nach Anspruch 7,

durch gekennzeichnet, dass sie einen DRAM-Speicher bildet.

Zusammenfassung

Transistorarray und damit hergestellte Halbleiterspeicheranordnung

5

Ein erfundungsgemäßes Transistorarray besteht aus vertikalen FET-Transistoren, die jeweils mit einem Speicherkondensator eines Speicherzellenarrays verbunden sind. Wortleitungen (5) bildende Geteelektrodenstreifen der Transistoren liegen zu beiden Seiten von zueinander parallel laufenden aktiven Stegen (13) und sind durch Wortleitungs- bzw. CS-Kontakte (15) mit einer überlagernden Metallebene (12) verbunden. Um diese Wortleitungskontakte (15) gegenüber den anderen Elementen des Transistorarrays und des Zellenfeldes zu isolieren, liegen die Wortleitungskontakte (15) in die Stege (13) eingebrachten tiefen Gräben (11).

10

15

Bei einer alternativen Ausführungsform liegen die die Wortleitung mit der Metallebene verbindenden Wortleitungskontakte in einer von der Wanne, in der das Speicherzellenarray liegt, separaten isolierten Wanne, und die die Wortleitungskontakte aufweisenden aktiven Stege, die in diese separate Wanne geführt sind, sind von dem umgebenden Gebiet durch an der Schnittstelle liegende isolierende tiefe Gräben (11) isoliert.

20

25

(Fig. 4A)

Bezugszeichenliste

- 1 Sourceelektrodenbereich
- 2 Kanalzone
- 3 Drainelektrode
- 4 Bulk
- 5, 5a Gateelektrodenstreifen
- 6 Polysiliziumsäule
- 7 Kontaktierung der Sourceelektrode 3 mit der Polysiliziumsäule 6
- 8, 8a, 8b, 9 Isolation/Dielektrikum
- 10 Substrat
- T vertikaler FET-Transistor
- 11 tiefer Graben
- 13 aktive Stege (AT)
- 15 Wortleitungs- bzw. CS-Kontakt
- 17 Isolation
- 20, 22 isolierte p-Wannen
- 21 vergrabene n-Platte
- 30 Speicherzellenarray
- AT aktiver Steg
- M0 Metallebene
- WL Wortleitung

FIG 1

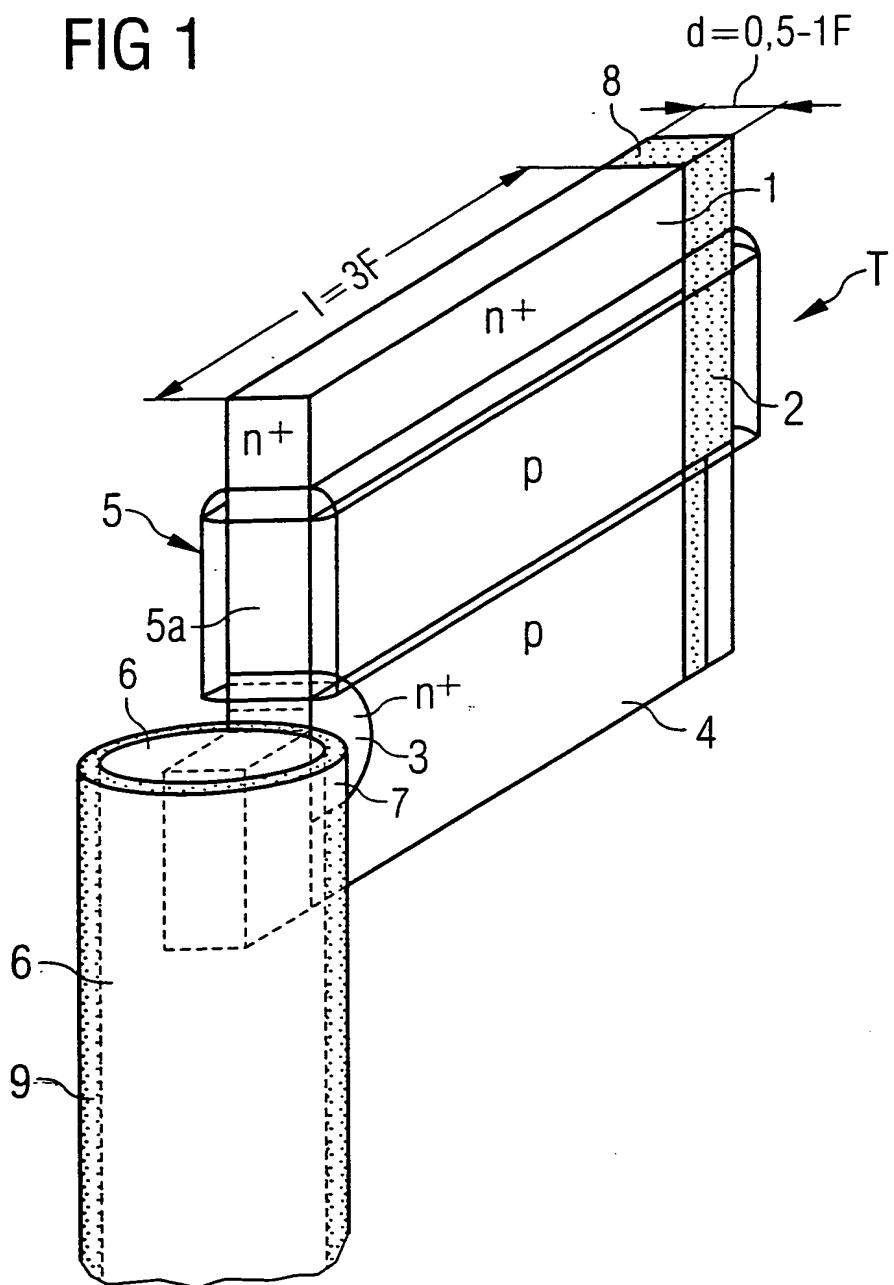


FIG 2 Schnitt A-A

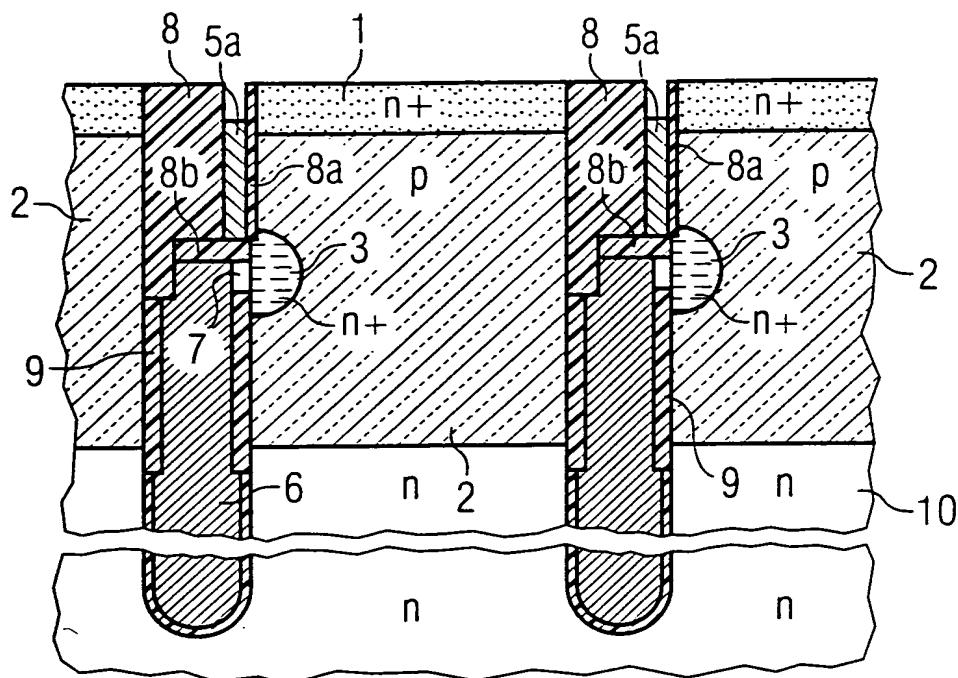
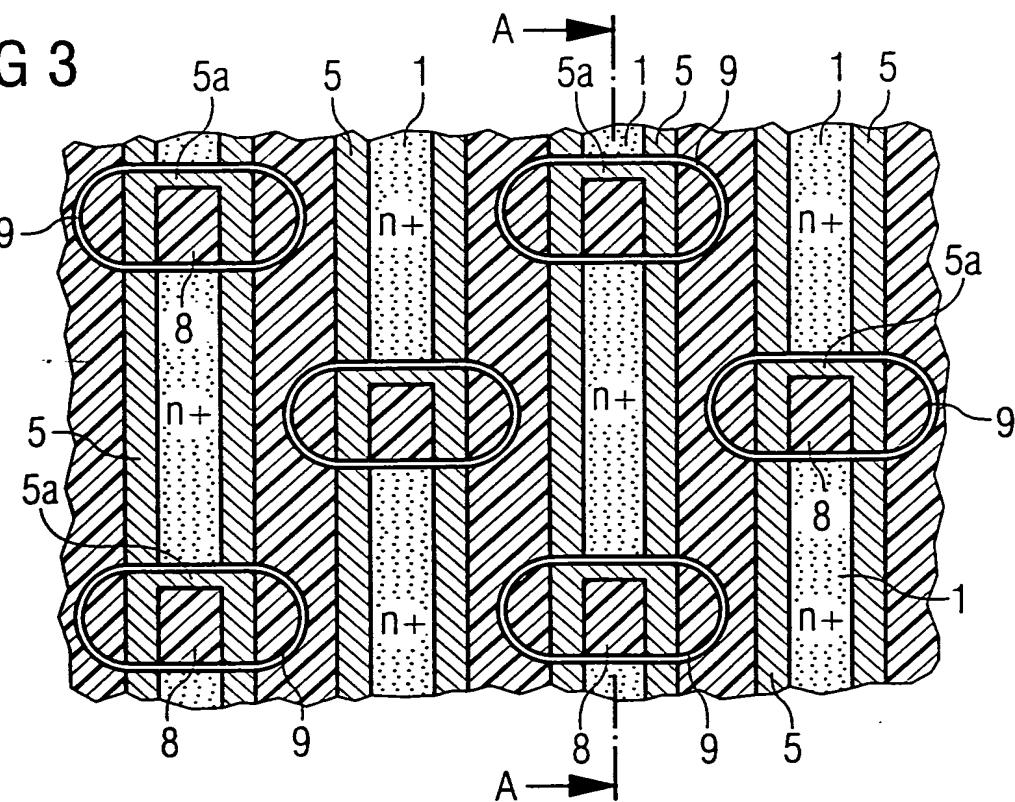


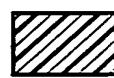
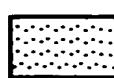
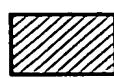
FIG 3



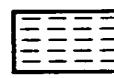
Gate



p-Bereich

Isolation/
DielektrikumStäge (AT)
(Source-Bereich)

Poly-Si



Drain-Bereich

FIG 4A

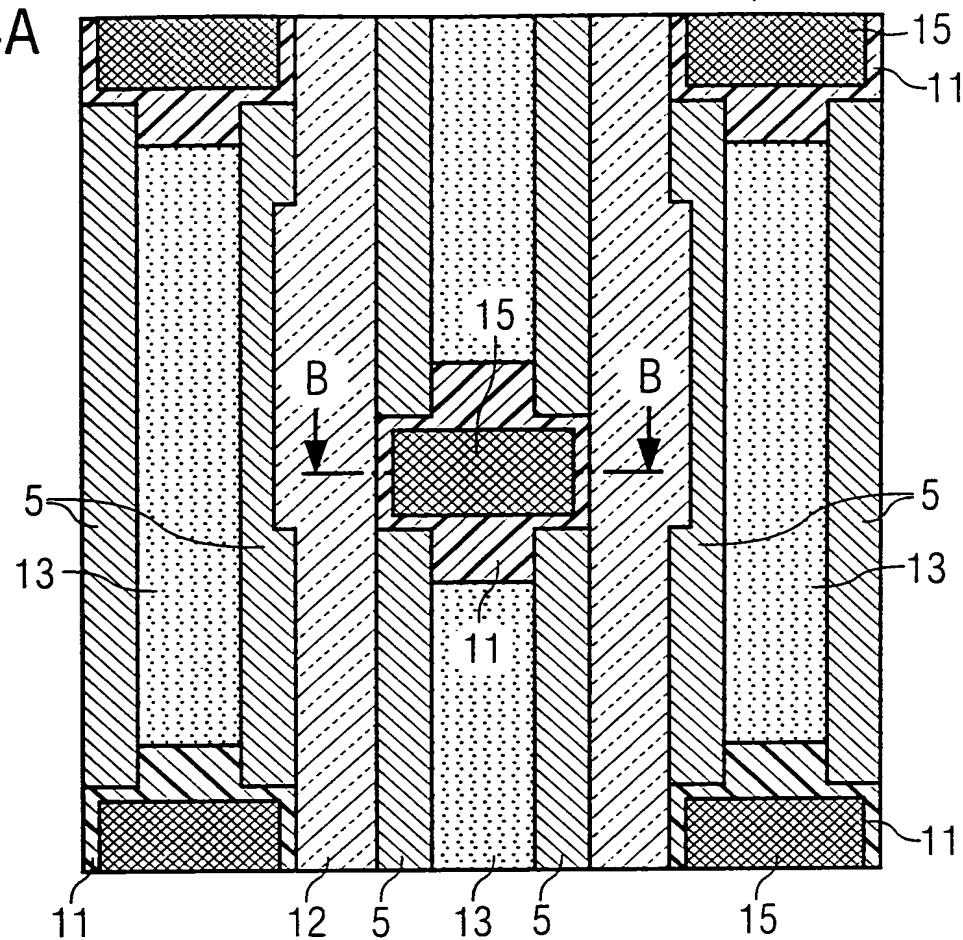


FIG 4B

Schnitt B-B

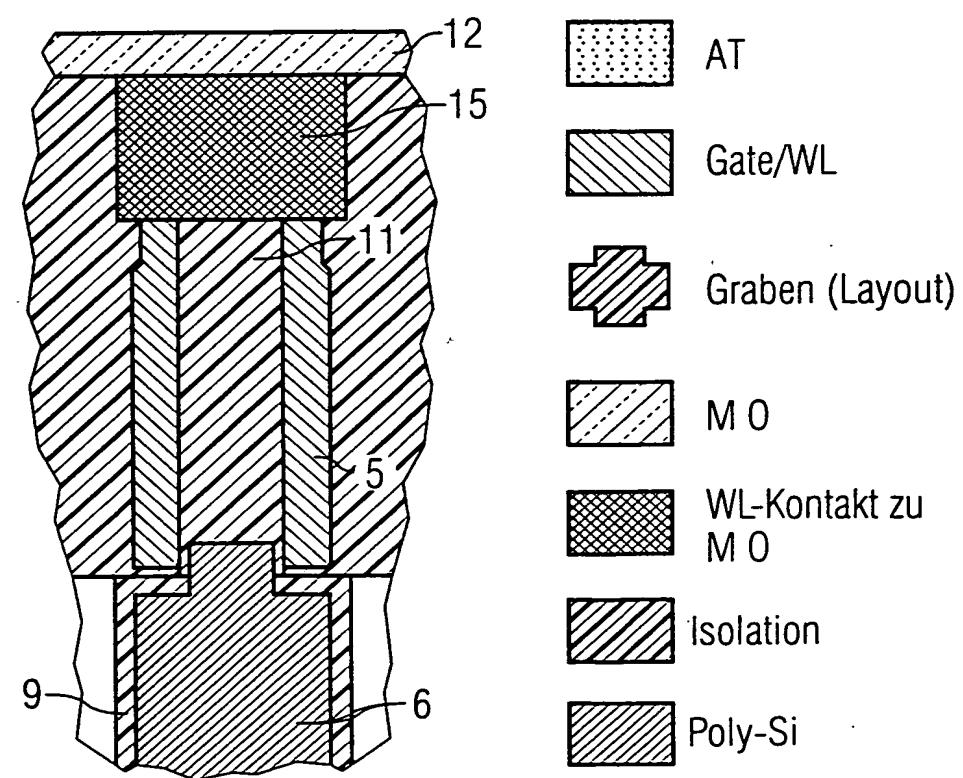
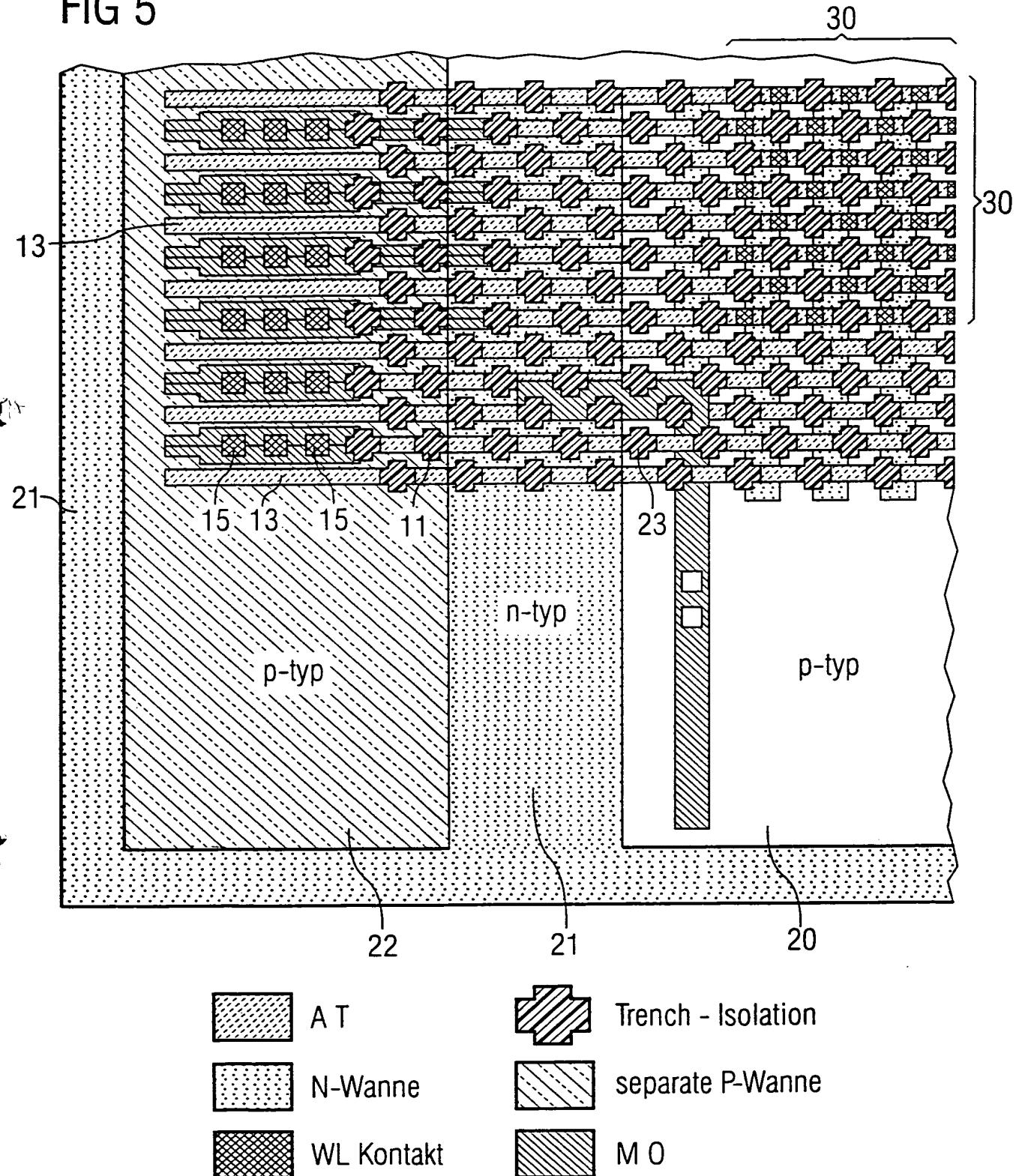


FIG 5



Figur für die Zusammenfassung

FIG 4A

